

' . ' 0 on PTo-892.

PAT-NO: JP408032038A

DOCUMENT-IDENTIFIER: JP 08032038 A

TITLE: MANUFACTURE OF STUCK SOI SUBSTRATE
AND STUCK SOI
SUBSTRATE

PUBN-DATE: February 2, 1996

INVENTOR-INFORMATION:

NAME

KONO, MITSUO

TOMIOKA, JUNSUKE

ASSIGNEE-INFORMATION:

NAME

KOMATSU ELECTRON METALS CO LTD

COUNTRY

N/A

APPL-NO: JP06186516

APPL-DATE: July 15, 1994

INT-CL (IPC): H01L027/12, H01L021/304

ABSTRACT:

PURPOSE: To provide a manufacturing method of a stuck SOI substrate having a diameter equal to or larger than the large caliber of a single crystal wafer which can not be manufactured by techniques.

CONSTITUTION: Polycrystalline silicon is fused by using a quartz crucible having a large caliber, and a polycrystalline silicon rod is obtained by cooling. The rod is sliced and subjected to mirror polishing, and a retaining substrate 5 is formed. When the crystal orientation of a single crystal

silicon rod grown by a CZ method is $\langle 111 \rangle$, the rod is worked into a regular hexagonal pole, sliced, and subjected to mirror polishing, and a single crystal silicon wafer 7 is formed. The wafer 7 is subjected to oxidation treatment, and stuck on the retaining substrate 5 without generating a gap, and an SOI substrate is constituted. The upper surface of the wafer 7 is polished to obtain a specified thickness. Glass, ceramics, etc., may be used as a retaining substrate. By sticking a single crystal silicon wafer 8, which is worked into an equilateral triangle, on the periphery of the single crystal silicon wafer 7, the area of the retaining substrate 5 can be effectively used.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32038

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12	B			
21/304	3 2 1 S			

審査請求 未請求 請求項の数 4 F D (全 4 頁)

(21) 出願番号 特願平6-186516

(22) 出願日 平成6年(1994)7月15日

(71) 出願人 000184713

コマツ電子金属株式会社

神奈川県平塚市四之宮2612番地

(72) 発明者 河野 光雄

神奈川県平塚市四之宮2612 コマツ電子金属株式会社内

(72) 発明者 富岡 純輔

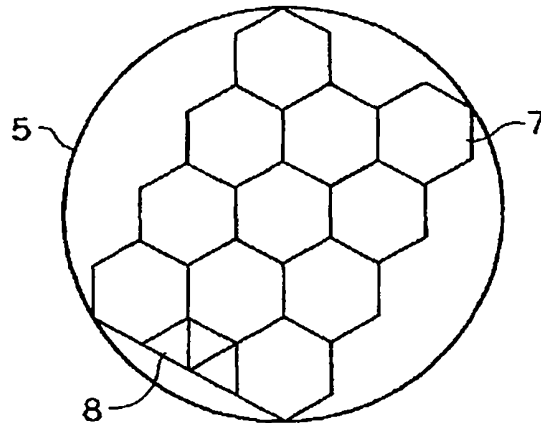
神奈川県平塚市四之宮2612 コマツ電子金属株式会社内

(54) 【発明の名称】 貼り合わせSOI基板の製造方法および貼り合わせSOI基板

(57) 【要約】

【目的】 その世代の技術では製造不可能な大口径の単結晶ウェーハと同等以上の直径を有する貼り合わせSOI基板の製造方法を提供する。

【構成】 大口径の石英るつぼを用いて多結晶シリコンを溶解し、これを冷却して得られた多結晶シリコンロッドをスライスし、鏡面研磨を施して支持基板5とする。また、CZ法で育成した単結晶シリコンロッドの結晶方位が〈111〉の場合は、これを正六角柱に加工した後、スライス、鏡面研磨して単結晶シリコンウェーハ7とする。このウェーハ7を酸化処理し、前記支持基板5に隙間なく貼り合わせて、SOI基板を構成する。その後、前記ウェーハ7の上面を所定の厚さに研磨する。支持基板にガラス、セラミックスなどを用いてもよい。なお、単結晶シリコンウェーハ7の周辺に正三角形に加工した単結晶シリコンウェーハ8を貼り合わせることによって、支持基板5の面積を有効に活用することができる。



【特許請求の範囲】

【請求項1】 鏡面加工ならびに酸化処理を行った特定の形状の無転位単結晶シリコンウェーハを、鏡面加工を施した大口径の多結晶シリコン、ガラス、セラミックスまたは金属からなる支持基板に貼り合わせた後、前記無転位単結晶シリコンウェーハを所定の厚さに研磨することを特徴とする貼り合わせSOI基板の製造方法。

【請求項2】 前記特定の形状が、正六角形、正四角形、長方形または正三角形であることを特徴とする請求項1の貼り合わせSOI基板の製造方法。

【請求項3】 その世代の技術では製造不可能な大口径の単結晶シリコンウェーハと同等以上の直径を有する多結晶シリコン、ガラス、セラミックスまたは金属からなる支持基板に、特定の形状に加工した複数の無転位単結晶シリコンウェーハを酸化膜を介して貼り合わせたことを特徴とする貼り合わせSOI基板。

【請求項4】 前記支持基板に、エレクトロニクス・システムを構成するために必要な複数種類の無転位単結晶シリコンウェーハをそれぞれ所定の位置に貼り合わせたことを特徴とする請求項3の貼り合わせSOI基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、貼り合わせSOI基板の製造方法および貼り合わせSOI基板に関する。

【0002】

【従来の技術】バルク状の半導体基板に集積回路を作り込むよりも、絶縁材料上に設けられた薄い半導体層に各種の素子を形成するほうが、素子特性や素子間分離の点で有利である。このような見地から、単結晶シリコン基板にSiO₂の絶縁膜を介して素子形成のための単結晶シリコン層を設けたSOI(silicon on insulator)構造が用いられている。前記SOI構造を得る方法のうち、単結晶シリコンウェーハの貼り合わせによるものは、高い結晶性のSOI活性層が得られ、活性層の厚さをある程度任意に設定することができるとともに、埋め込み酸化膜の厚さを任意に設定することができるなどの利点を持っている。

【0003】

【発明が解決しようとする課題】しかしながら、貼り合わせ技術によって製作されるSOI基板においては、下記の問題点がある。

(1) 貼り合わせSOI基板は、貼り合わせ時に接合界面に欠陥を生じやすい。前記欠陥の代表的なものとして、接合不良領域であるボイドの発生があり、貼り合わせるウェーハの直径が大きくなるにつれて良品率が低下している。

(2) 支持基板に単結晶シリコンを用いると、その世代の技術で製造可能な単結晶の直径によってSOI基板の直径が制約されるとともに、コスト的にも非常に高価である。また、電子機器製造の最終工程においては、SO

I基板を用いてCPU、メモリなどのチップを個別に製作した後、これらのチップを所定の位置に配設してシステムを構成している。

【0004】本発明は上記従来の問題点に着目してなされたもので、その世代の技術では製造不可能な大口径の単結晶ウェーハと同等以上の直径を有する貼り合わせSOI基板の製造方法および貼り合わせSOI基板の提供と、更には一つの貼り合わせSOI基板に複数種類のデバイスを形成することができるようなシステムオンチップ用の貼り合わせSOI基板を提供することを目的としている。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明に係る貼り合わせSOI基板の製造方法は、鏡面加工ならびに酸化処理を行った特定の形状の無転位単結晶シリコンウェーハを、鏡面加工を施した大口径の多結晶シリコン、ガラス、セラミックスまたは金属からなる支持基板に貼り合わせた後、前記無転位単結晶シリコンウェーハを所定の厚さに研磨する構成とし、このような構成において、前記特定の形状が、正六角形、正四角形、長方形または正三角形であることを特徴としている。また、前記製造方法による貼り合わせSOI基板は、その世代の技術では製造不可能な大口径の単結晶シリコンウェーハと同等以上の直径を有する多結晶シリコン、ガラス、セラミックスまたは金属からなる支持基板に、特定の形状に加工した複数の無転位単結晶シリコンウェーハを酸化膜を介して貼り合わせたもの、あるいは、前記支持基板に、エレクトロニクス・システムを構成するために必要な複数種類の無転位単結晶シリコンウェーハをそれぞれ所定の位置に貼り合わせる構成とした。

【0006】

【作用】特定の形状に加工された単結晶シリコンウェーハの面積は、大口径の多結晶シリコンウェーハなどからなる支持基板の面積に対して十分に小さい。上記構成によれば、あらかじめ正六角形、正四角形、長方形あるいは正三角形などに加工して酸化処理を施した単結晶シリコンウェーハをSOIウェーハとして用いることにしたので、大口径の支持基板にこれと同径のSOIウェーハを貼り合わせる場合に比べて貼り合わせが容易となり、ボイドの発生が低減する。また、支持基板に多結晶シリコン、ガラス、セラミックスまたは金属を用いることにより、単結晶シリコンでは得られないような大口径の支持基板上に前記SOIウェーハを隙間なく貼り合わせることで、支持基板の面積を有効に利用することができる。更に、大口径の支持基板に複数種類の無転位単結晶シリコンウェーハをそれぞれ所定の位置に貼り合わせることにより、システムオンチップ用のSOI基板が得られる。

【0007】

【実施例】以下に、本発明に係る貼り合わせSOI基板の製造方法の実施例について、図面を参照して説明する。図1は支持基板の製造工程を示す説明図である。まず図1(a)において、大口径たとえば24インチの石英つば1に多結晶シリコン2を充填し、ヒータ3で溶解する。これを冷却して石英つば1から取り出すと、図1(b)に示す24インチの多結晶シリコンロッド4が得られる。この多結晶シリコンロッド4をスライスし、鏡面仕上げを施すと、図1(c)に示す24インチの支持基板5となる。前記支持基板5の厚さは1mm、平坦度(TTV)は1μm未満とする。なお、前記多結晶シリコンロッドの製造方法として、CZ法、ブリッジマン法、カイロボラス法、ベディスタル法を用いてもよい。

【0008】図2はSOIウェーハの製造工程を示す説明図である。図2(a)はCZ法による単結晶シリコンの育成で、石英つば1に充填した多結晶シリコンをヒータ3で溶解し、融液に種子結晶を浸漬したたとえば6インチの単結晶シリコンロッド6を育成する。この単結晶シリコンロッドを、結晶方位に基づいて正六角柱、正四角柱などに加工する。図2(b)は結晶方位が〈111〉の単結晶シリコンロッド6を正六角柱に加工した状態を示す。結晶方位が〈100〉のロッドであれば正四角柱に加工すればよい。このように、単結晶シリコンロッドを特定の形状に加工することにより、オリエンテーションフラットまたはノッチの加工は不要となる。このロッドをスライスし、鏡面仕上げを施すと、図2(c)に示すように厚さが500μmで正六角形の単結晶シリコンウェーハ7が得られる。このウェーハ7に酸化処理を施し、厚さ1000Åの酸化膜(SiO₂)を形成させる。

【0009】上記単結晶シリコンウェーハを、図3および図4に示すように支持基板5に貼り合わせる。図3は支持基板5に正六角形の単結晶シリコンウェーハ7を隙間なく貼り合わせた上、周囲の余った部分に正三角形の単結晶シリコンウェーハ8を隙間なく貼り合わせた状態を示している。図4において、7aは単結晶シリコン、7bは酸化膜である。これを図5に示すように単結晶シリコンウェーハ7、8の活性層の厚さが20μmになるまで研削する。次に、単結晶シリコンウェーハ7、8の活性層の厚さが1μmになるまで研磨して貼り合わせSOI基板を完成させた。なお、支持基板5に単結晶シリコンウェーハを貼り合わせる際、前記ウェーハ相互の間に隙間を設けてもよい。また、活性層の厚さを0.1μm程度に仕上げる場合は、活性層表面にプラズマエッチングを施す。

【0010】図6はシステムオンチップ用SOI基板の

説明図で、支持基板5に酸化膜を介して複数種類の単結晶シリコンウェーハが貼り合わされている。たとえば、単結晶シリコンウェーハ9はCPU用として抵抗率1~2Ωcmのもの、単結晶シリコンウェーハ10はメモリ用として抵抗率10~15Ωcmのものである。これらのウェーハはいずれもチップサイズに形成されていて、エレクトロニクス・システムとして最終的に配置される位置にそれぞれ貼り合わされているので、一対のウェーハ11または一群のウェーハによって前記システムが完成する。このような貼り合わせSOI基板では従来の配線は一部を除いて不要となる。

【0011】本実施例では支持基板として直径が24インチの多結晶シリコンウェーハを用いたが、これに限るものではなく、たとえば32インチの多結晶シリコンウェーハあるいはガラス板、セラミックス板または金属板など、その世代において利用可能な大口径のウェーハを用いることができる。また、酸化処理を施さない単結晶シリコンウェーハと前記支持基板との貼り合わせに際して本発明による製造方法を応用してもよい。

【0012】

【発明の効果】以上説明したように本発明によれば、貼り合わせSOI基板の支持基板に多結晶シリコン、ガラス、セラミックスまたは金属を用い、この上に特定の形状に加工された単結晶シリコンウェーハを複数個貼り合わせることにしたので、単結晶シリコンを支持基板としていたときには実現不可能な大口径のSOI基板を、高い良品率で得ることができる。また、前記方法を利用してシステムオンチップ用SOI基板を製造することにより、エレクトロニクス・システムの生産性向上が可能となる。

【図面の簡単な説明】

【図1】支持基板の製造工程を示す説明図である。

【図2】SOIウェーハの製造工程を示す説明図である。

【図3】支持基板にSOIウェーハを貼り合わせた状態を示す説明図である。

【図4】貼り合わせSOI基板の断面説明図である。

【図5】SOI基板の活性層を研削した状態を示す説明図である。

【図6】システムオンチップ用SOI基板の説明図である。

【符号の説明】

4 多結晶シリコンロッド

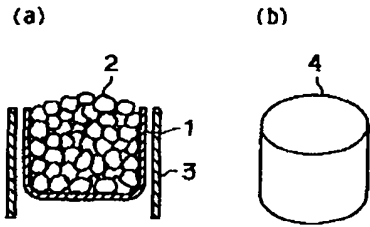
5 支持基板

6 単結晶シリコンロッド

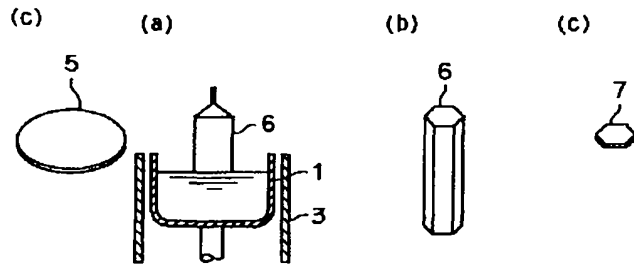
7, 8, 9, 10 単結晶シリコンウェーハ

7b 酸化膜

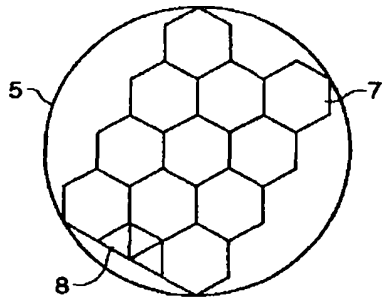
【図1】



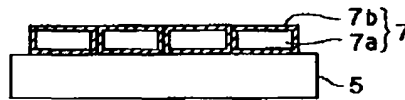
【図2】



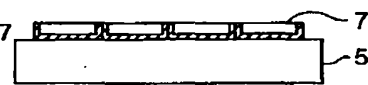
【図3】



【図4】



【図5】



【図6】

